



(Translation of a notice from the Japanese Patent Office)

Mailing No.014505

Mailing Date: January 21, 2003

NOTIFICATION OF REASONS FOR REJECTION  
(FINAL NOTICE OF REJECTION)

Patent Application No.: 185304/98

Examiner's Notice Date: January 17, 2003

Examiner: Masahide KAWAGUCHI

Attorney for Applicant: Mr. Takehiko Suzuye et al.

This application is rejected on the grounds stated below. Any opinion regarding this reason must be filed within SIXTY DAYS of the mailing date thereof.

RECEIVED  
MAR 17 2003  
TC 2800 MAIL ROOM

REASONS

1. The present application does not satisfy the requirements under Section 17<sup>bis</sup>(3) of the Patent Law, on the grounds that the amendments dated November 11, 2002 were not made within the inventive scope of the matters described in the specification and the drawings originally attached to the present application with respect to the following points.

REMARKS

In the Written Amendment filed on November 11, 2002, claims 1 and 2 of the present application were amended to the following claims:

1. A semiconductor device comprising:
  - a channel in a first conductive type formed on a surface layer of a semiconductor substrate;
  - a source and a drain, in a second conductive type, which are formed on both sides of the channel;
  - a gate insulation film having a first relative dielectric constant, formed on at least the channel directly or via a buffer insulation film;

## NOTIFICATION OF REASONS FOR REJECTION

a gate electrode formed on the gate insulation film; and  
a side insulation film having a second relative dielectric constant smaller than the first relative dielectric constant, formed on at least a side portion of the gate insulation film,

characterized in that

where a first area of the gate insulation film adjacent to the gate electrode is S1, a second area of the gate insulation film adjacent to the channel is S2, and a third area of a bottom portion of the gate electrode is S3, the first area S1 is formed to be larger than the second area S2, the third area S3 is formed to be larger than the first area S1, a part of the third area S3 is in contact with the gate insulation film, and other portions of the third area S3 are in no contact with the gate insulation film.

2. A semiconductor device comprising:

a plurality of first MOS transistors each comprising:

a first channel in a first conductive type formed on a surface layer of a semiconductor substrate;

a first source in a second conductive type and a first drain in the second conductive type, which are formed on both sides of the first channel;

a first gate insulation film having a first relative dielectric constant, formed on at least the first channel directly or via a buffer insulation film;

a first gate electrode formed on the first gate insulation film; and

a first side insulation film having a second relative dielectric constant smaller than the first relative dielectric constant, formed on at least a side portion of the first gate insulation film,

and

a plurality of second MOS transistors each comprising:

a second channel in a first conductive type formed on the surface layer of the semiconductor substrate;

## NOTIFICATION OF REASONS FOR REJECTION

a second source in a second conductive type and a second drain in the second conductive type, which are formed on both sides of the second channel;

a second gate insulation film having a first relative dielectric constant, formed on at least the second channel directly or via a buffer insulation film;

a second gate electrode formed on the second gate insulation film; and

a second side insulation film having the second relative dielectric constant, formed on at least a side portion of the second gate insulation film,

the semiconductor device being characterized in that

where a cross-sectional area of a bottom portion of the first gate insulation film on the first channel side is  $S1$ , a cross-sectional area of a top portion thereof on the first gate electrode side is  $S2$ , a cross-sectional area of a bottom portion of the second gate insulation film on the second channel side is  $S3$  and a cross-sectional area of a top portion of the second gate insulation film on the second gate electrode side is  $S4$ ,  $S2/S1 > S4/S3$  and  $S2 > S1$ .

Amended claims 1 and 2 merely describe that the "second relative dielectric constant" is smaller than the "first relative dielectric constant", but have no descriptions about the value of the "first relative dielectric constant". It is therefore considered that the "first relative dielectric constant" may be any value in amended claims 1 and 2.

However, the specification or drawings originally attached to the present application, for example, claims 1 and 4 read:

1. A semiconductor device comprising:

a channel in a first conductive type formed on a surface layer of a semiconductor substrate;

a source and a drain, in a second conductive type, which are formed on both sides of the channel;

a gate insulation film having a first relative dielectric constant, formed on

## NOTIFICATION OF REASONS FOR REJECTION

at least the channel directly or via a buffer insulation film;

a gate electrode formed on the gate insulation film; and

a side insulation film having a second relative dielectric constant, formed on at least a side portion of the gate insulation film,

characterized in that

the first relative dielectric constant is higher than 20 and is greater than the second relative dielectric constant; and

an area S2 where the gate electrode and the gate insulation film are in contact with each other is greater than an area S1 where a region including the channel, the source and the drain and the gate insulation film are in contact with each other.

4. A semiconductor device comprising:

a plurality of first MOS transistors each comprising

a first channel in a first conductive type formed on a surface layer of a semiconductor substrate;

a first source in a second conductive type and a first drain in the second conductive type, which are formed on both sides of the first channel;

a first gate insulation film having a first relative dielectric constant, formed on at least the first channel directly or via a buffer insulation film;

a first gate electrode formed on the first gate insulation film; and

a first side insulation film having a second relative dielectric constant, formed on at least a side portion of the first gate insulation film,

and

a plurality of second MOS transistors each comprising

a second channel in a first conductive type formed on the surface layer of the semiconductor substrate;

a second source in a second conductive type and a second drain in the second conductive type, which are formed on both sides of the second channel;

## NOTIFICATION OF REASONS FOR REJECTION

a second gate insulation film having a first relative dielectric constant, formed on at least the second channel directly or via a buffer insulation film;

a second gate electrode formed on the second gate insulation film; and

a second side insulation film having the second relative dielectric constant, formed on at least a side portion of the second gate insulation film, characterized in that

the first relative dielectric constant is higher than 20 and is greater than the second relative dielectric constant; and

where an area of a bottom portion of the first gate insulation film is S1, an area of a top portion thereof is S2, an area of a bottom portion of the second gate insulation film is S3, and an area of a top portion of the second gate insulation film is S4,  $S2/S1 > S4/S3$ .

Thus, the original specification or drawings merely describe that the "first relative dielectric constant" is higher than 20 and is higher than the "second relative dielectric constant". The feature that the "first relative dielectric constant" may be an arbitrary value is not described in the original specification or drawings or cannot be derived directly or uniquely from the matters described in the original specification or drawings.

It therefore cannot be said that the amendments of claims 1 and 2 in the Written Amendment were made within the inventive scope of the specification or drawings originally attached to the present application.

As it is clear that the matters of amended claims 1 and 2, and claims 4 to 11 referring to claims 1 and 2, do not exist in the coverage of the specification or drawings originally attached to the present application, the present invention has not been examined in view of the patent requirements of novelty, inventive step and the like.

## NOTIFICATION OF REASONS FOR REJECTION

2. The invention described in the following claim of the present application is unpatentable under Section 29(2) of the Patent Law, as being such that it could easily have been made by a person with ordinary skill in the art to which it pertains, on the basis of the inventions described in the following publications distributed in Japan or a foreign country prior to this application.

REMARKS

CLAIM 3: See References 1-5.

Use of a well-known dielectric as disclosed in, for example, paragraphs [0002] to [0010] of Reference 1 and paragraph [0015] of Reference 2, as a material of a ferroelectric film, in FIG. 3 and its explanations of Reference 1, is a matter which can be generally carried out by a person skilled in the art.

It cannot be said that there are especially any technical reasons for preventing the field effect transistor of Reference 1 from being applied to the well-known semiconductor device as disclosed in, for example, References 3 to 5.

In the well-known semiconductor device, too, setting the threshold value of the field effect transistor constituting the peripheral circuit to be low, by changing the structure of the gate insulation film by both the field effect transistor constituting the peripheral circuit and the field effect transistor constituting the other circuit, is a well-known technical matter as disclosed in, for example, References 3 to 5.

Therefore, in applying the field effect transistor of Reference 1 to the well-known semiconductor device, constituting the field effect transistor constituting the peripheral circuit by the field effect transistor disclosed in FIG. 3 and its explanations of Reference 1, and constituting the field effect transistor constituting the other circuit by the field effect transistor disclosed in FIG. 1 and its explanations of Reference 1, could easily have been conceived a person skilled

in the art on the basis of the well-known technical matter.

\* CITED REFERENCES

- Filed 10/11/02* - 1. Jpn. Pat. Appln. KOKAI Publication No. 09-307072
- Filed 10/11/02* - 2. Jpn. Pat. Appln. KOKAI Publication No. 05-121758
- Filed 10/11/02* - 3. Jpn. Pat. Appln. KOKAI Publication No. 55-083251
- Filed 10/11/02* - 4. Jpn. Pat. Appln. KOKAI Publication No. 04-165670
- Filed 10/11/02* - 5. Jpn. Pat. Appln. KOKAI Publication No. 08-204142

## NOTIFICATION OF REASONS FOR REJECTION

3. The application fails to satisfy the requirements under Section 36(6)(ii) of the Patent Law, on the grounds that the claims are defective in the following respects.

REMARKS

A. Claim 3 referring to claim 1 or 2 specifies the cross-sectional shape of the gate insulation film in the source-drain direction. However, it is unclear whether or not the cross-sectional shape of the gate insulation film in the channel width direction is specified.

It therefore cannot be said that claim 3 referring to claim 1 or 2 clearly describes the structure of the invention to be claimed.

B. It is unclear what portions of the "first gate insulation film" and the "second gate insulation film" are represented by the expressions "cross-sectional area of the bottom portion of the first gate insulation film on the first channel side", "cross-sectional area of the top portion of the first gate insulation film on the first gate electrode side", "cross-sectional area of the bottom portion of the second gate insulation film on the second channel side", and "cross-sectional area of the top portion of the second gate insulation film on the second gate electrode side" in claim 3 referring to claim 2.

It therefore cannot be said that claim 3 referring to claim 2 clearly describes the structure of the invention to be claimed.

The following points should be noted.

a. Claim 3 is judged as stated in REASON 2 as claim 1 or 2 is understood to have the defectiveness pointed in A of REASON 3 and specify the only cross-sectional shape of the "gate insulation film", "first insulation film" and "second gate insulation film" along the channel width direction.



## NOTIFICATION OF REASONS FOR REJECTION

Claim 3 should be added to claims 1 and 2, and it should be clarified that the cross-sectional shapes of the "gate insulation film", "first insulation film" and "second gate insulation film" along the source-drain direction are specified.

b. In addition to a, claim 2 should specify the "first gate insulation film" by the descriptions of claim 1 about the "gate insulation film" and also specify the "second gate insulation film" by the same descriptions as those of claim 1 about the "gate insulation film".

c. In amendments, the matters to be added must be limited to those that can be derived directly and uniquely from the specification or drawings originally attached to the present application and must be made for purposes of: cancellation of claim(s); restriction of the claimed structural elements; explanation of unclear/ambiguous descriptions; and correction of errors in the descriptions. In addition, the reason why the amendments of those matters are legal must be discussed in a written opinion while clarifying the descriptions of the original specification as the reasons for amendments.

Descriptions of a written opinion may be based on a format of a request for correction in an opposition case.

In amendments, if the constituent elements are omitted, the terms and phrases are made abstract or specific concepts are changed to generic concepts, they may be judged as "addition of new matters".

Reason for Issuing This Notice as Final Notice of Rejection

This Final Notice of Rejection indicates only a reason for rejection, which has occurred due to the amendment filed in response to the previous Official Action ("First (Non-Final) Official Action").

整理番号 A009803114

9950150  
担当山内  
発送番号 014505

発送日 平成15年 1月21日 1/6

## 拒絶理由通知書

特許出願の番号	平成10年 特許願 第185304号
起案日	平成15年 1月17日
特許庁審査官	河口 雅英 8421 4M00
特許出願人代理人	鈴江 武彦 (外 6名) 様
適用条文	第17条の2第3項、第29条第2項、第36条

<<<< 最 後 >>>>

15.3.22

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

### 理 由

#### 理由1.

平成14年11月11日付けでした手続補正は、下記の点で願書に最初に添付した明細書又は図面に記載した事項の範囲内においてしたものでないから、特許法第17条の2第3項に規定する要件を満たしていない。

### 記

平成14年11月11日付け手続補正書における補正により、この出願の特許請求の範囲の請求項1及び2は下記のとおり補正されている。

「【請求項1】半導体基板の表面層に形成された第1導電型のチャンネルと、このチャンネルの両側に形成された第2導電型のソース及びドレインと、少なくとも前記チャンネルの上に直接又はバッファ絶縁膜を介して形成された第1の比誘電率を持つゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ゲート絶縁膜の側部に形成された、第1の比誘電率より小さい第2の比誘電率を持つ側部絶縁膜とを備えた半導体装置であって、前記ゲート電極に隣接する前記ゲート絶縁膜の第1の面積をS1とし、前記チャンネルに隣接する前記ゲート絶縁膜の第2の面積をS2とし、前記ゲート電極の底部の第3の面積をS3としたとき、第1の面積S1は第2の面積S2よりも大きく形成され、第3の面積S3は第1の面積S1よりも大きく形成され、第3の面積S3の一部は前記ゲート絶縁膜に接触し、第3の面積S3のその他の部分は前記ゲート絶縁膜に接触していないことを特徴とする半導体装置。

【請求項2】半導体基板の表面層に形成された第1導電型の第1のチャンネルと、

この第1のチャンネルの両側に形成された第2導電型の第1のソース及び第1のドレインと、少なくとも第1のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された第1のゲート電極と、少なくとも第1のゲート絶縁膜の側部に形成された、第1の比誘電率より小さい第2の比誘電率を持つ第1の側部絶縁膜とを備えた複数の第1のMOS型トランジスタと、前記基板の表面層に形成された第1導電型の第2のチャンネルと、この第2のチャンネルの両側に形成された第2導電型の第2のソース及び第2のドレインと、少なくとも第2のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された第2のゲート電極と、少なくとも第2のゲート絶縁膜の側部に形成された第2の比誘電率を持つ第2の側部絶縁膜とを備えた複数の第2のMOS型トランジスタとを具備してなり、前記第1のゲート絶縁膜の前記第1のチャンネル側の底部断面積を $S_1$ 、前記第1のゲート電極側の上部断面積を $S_2$ 、前記第2のゲート絶縁膜の前記第2のチャンネル側の底部断面積を $S_3$ 、第2のゲート絶縁膜の第2のゲート電極側の上部断面積を $S_4$ とすると、 $S_2/S_1 > S_4/S_3$  且つ  $S_2 > S_1$  が成り立つことを特徴とする半導体装置。」

補正後の請求項1及び2には、「第2の比誘電率」が「第1の比誘電率」より小さいことが記載されているだけで、「第1の比誘電率」の値について何等記載されておらず、補正後の請求項1及び2の記載は、「第1の比誘電率」の値は任意でよいことを意味するものと認められる。

しかしながら、この出願の願書に最初に添付した明細書又は図面には、例えば特許請求の範囲の請求項1に、

「【請求項1】半導体基板の表面層に形成された第1導電型のチャンネルと、このチャンネルの両側に形成された第2導電型のソース及びドレインと、少なくとも前記チャンネルの上に直接又はバッファ絶縁膜を介して形成された第1の比誘電率を持つゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、少なくとも前記ゲート絶縁膜の側部に形成された第2の比誘電率を持つ側部絶縁膜とを備えた半導体装置であって、第1の比誘電率は20以上で、かつ第2の比誘電率より大きく、前記チャンネル、ソース、及びドレインを含む領域と前記ゲート絶縁膜が接する面積 $S_1$ に対して、前記ゲート電極とゲート絶縁膜が接する面積 $S_2$ の方を大きくしてなることを特徴とする半導体装置。」

と記載され、また、特許請求の範囲の請求項4に、

「【請求項4】半導体基板の表面層に形成された第1導電型の第1のチャンネルと、この第1のチャンネルの両側に形成された第2導電型の第1のソース及び第1のドレインと、少なくとも第1のチャンネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された第1のゲート電極と、少なくとも第1のゲート絶縁膜の側部

に形成された第2の比誘電率を持つ第1の側部絶縁膜とを備えた複数の第1のMOS型トランジスタと、前記基板の表面層に形成された第1導電型の第2のチャネルと、この第2のチャネルの両側に形成された第2導電型の第2のソース及び第2のドレインと、少なくとも第2のチャネルの上に直接或いはバッファ絶縁膜を介して形成された第1の比誘電率を持つ第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された第2のゲート電極と、少なくとも第2のゲート絶縁膜の側部に形成された第2の比誘電率を持つ第2の側部絶縁膜からなる複数の第2のMOS型トランジスタとを具備してなり、第1の比誘電率は20以上で、かつ第2の比誘電率より大きく、第1のゲート絶縁膜の底部面積を $S_1$ 、上部面積を $S_2$ 、第2のゲート絶縁膜の底部面積を $S_3$ 、第2のゲート絶縁膜の上部面積を $S_4$ とすると、 $S_2/S_1 > S_4/S_3$  が成り立つことを特徴とする半導体装置。」

と記載されているように、「第1の比誘電率」が20以上で、かつ「第2の比誘電率」より大きいことが記載されているだけであり、「第1の比誘電率」の値が任意でよいことは、この出願の願書に最初に添付した明細書又は図面には何等記載されておらず、また、この出願の願書に最初に添付した明細書又は図面に記載の事項から直接的且つ一義的に導き出すことができるということもできない。

したがって、前記手続補正書における、この出願の特許請求の範囲の請求項1及び2に対する補正は、この出願の願書に最初に添付した明細書又は図面に記載した事項の範囲内において行ったものであるということとはできない。

なお、当該補正がなされた明細書又は図面における請求項1、請求項2、及びその従属項である請求項4乃至11に記載した事項は願書に最初に添付した明細書又は図面に記載した事項の範囲内でないことが明らかであるから、当該発明については新規性、進歩性等の特許要件についての審査を行っていない。

## 理由2.

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

請求項：3 刊行物：1－5

刊行物1第3図及びその説明箇所記載の発明において、強誘電体膜を構成する材料として、例えば刊行物1段落番号【0002】乃至【0010】、及び刊行

物2段落番号【0.015】にみられるような、周知の誘電体を用いることは、当業者が普通に行い得る事項である。

そして、刊行物1記載の電界効果トランジスタを、例えば刊行物3乃至5にみられるような周知の半導体装置に適用することを妨げる格別の技術的要因があるとはいえず、また、前記周知の半導体装置において、周辺回路を構成する電界効果トランジスタと他の回路を構成する電界効果トランジスタとで、ゲート絶縁膜の構成を変えることにより、周辺回路を構成する電界効果トランジスタのしきい値電圧を低く設定することも、例えば刊行物3乃至5にみられるように周知の技術的事項であるから、刊行物1記載の電界効果トランジスタを前記周知の半導体装置に適用する際に、周辺回路を構成する電界効果トランジスタを刊行物1第3図及びその説明箇所記載の電界効果トランジスタで構成し、他の回路を構成する電界効果トランジスタを刊行物1第1図及びその説明箇所記載の電界効果トランジスタで構成することは、前記周知の技術的事項に基いて、当業者が容易に想到し得ることである。

#### 引用文献等一覧

1. 特開平09-307072号公報
2. 特開平05-121758号公報
3. 特開昭55-083251号公報
4. 特開平04-165670号公報
5. 特開平08-204142号公報

#### 理由3.

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

#### 記

A. この出願の特許請求の範囲の請求項1又は請求項2の記載を引用する、この出願の特許請求の範囲の請求項3の記載では、ゲート絶縁膜のソースドレイン方向に沿った断面形状を特定しているのか、ゲート絶縁膜のチャネル幅方向に沿った断面形状について特定しているのかが不明である。

したがって、この出願の特許請求の範囲の請求項1又は請求項2の記載を引用する、この出願の特許請求の範囲の請求項3には、当該請求項に係る発明の構成が明確に記載されているということとはできない。

B. この出願の特許請求の範囲の請求項2の記載を引用する、この出願の特許請求の範囲の請求項3の記載において、「第1のゲート絶縁膜の第1チャンネル側の底部断面積」なる記載、「第1のゲート絶縁膜の第1ゲート電極側の上部断面積」なる記載、「第2のゲート絶縁膜の第2チャンネル側の底部断面積」なる記載、及び「第2のゲート絶縁膜の第2ゲート電極側の上部断面積」なる記載では、「第1のゲート絶縁膜」及び「第2のゲート絶縁膜」のどの部分の断面積を指しているのかが不明確である。

したがって、この出願の特許請求の範囲の請求項2の記載を引用する、この出願の特許請求の範囲の請求項3には、当該請求項に係る発明の構成が明確に記載されているということとはできない。

(下記の点に留意されたい。

a. 現在の請求項1又は請求項2の記載が、前記理由3のAで指摘した記載不備を有し、「ゲート絶縁膜」、「第1のゲート絶縁膜」及び「第2のゲート絶縁膜」のチャンネル幅方向に沿った断面形状のみを特定しているものと解される以上は、前記理由2のように判断せざるを得ない。

現在の請求項1及び請求項2に、現在の請求項3を補正することに加えるとともに、「ゲート絶縁膜」、「第1のゲート絶縁膜」及び「第2のゲート絶縁膜」のソースドレイン方向に沿った断面形状を特定していることを明確にされたい。

b. 前記aに記載した事項に加え、現在の請求項2の記載においては、「第1のゲート絶縁膜」について現在の請求項1の「ゲート絶縁膜」に関する記載を用いて特定し、且つ「第2のゲート絶縁膜」について現在の請求項1における「ゲート絶縁膜」に関する記載と同様の記載により特定されたい。

c. 補正の際には、補正で付加できる事項は、この出願の出願当初の明細書又は図面の記載から直接的かつ一義的に導き出すことができる事項に限られ、且つ請求項の削除、特許請求の範囲の限定的減縮、不明瞭な記載の釈明又は誤記の訂正を目的とする補正に限られることに注意し、意見書で、各補正事項について補正が適法なものである理由を、根拠となる出願当初の明細書の記載箇所を明確に示したうえで主張されたい。意見書の記載は、特許異議申立における訂正請求書の記載形式を参考にされたい。

また、補正の際に、構成要件の省略や、文言の抽象化、上位概念化を行うと、新規事項の追加であると判断せざるを得ない場合がある点にも注意されたい。

発送番号 014505

発送日 平成15年 1月21日

6 / 6

---

最後の拒絶理由通知とする理由

1. 最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。